

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060648

(43)Date of publication of application : 06.03.2001

(51)Int.Cl. H01L 23/50  
C25D 7/00  
H01L 23/12  
// C23F 1/00

(21)Application number : 11-235126

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 23.08.1999

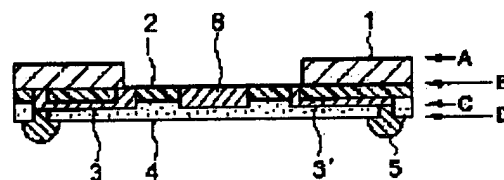
(72)Inventor : SHIBAZAKI SATOSHI  
UMEDA KAZUO

## (54) LEAD FRAME, MANUFACTURE THEREOF AND SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a lead frame which can be manufactured through simplified processes.

SOLUTION: A lead frame is equipped with a conductive board 1, leads 3 and 3' which are two-dimensionally formed by plating on the conductive board 1, an insulating film 4 which is formed on the surface of the board 1 where the leads 3 and 3' are provided, openings provided to the insulating film 4 corresponding to the leads 3 and 3' so as to make them exposed, external terminals 5 each provided to the openings, and a die pad 6 which is obtained by selectively etching the conductive board 1 so as to support a semiconductor element, where the conductive board 1 functioning as a feeder layer when plating is carried out is made to serve as a reinforcing plate. Therefore, a stiffener serving as a reinforcing plate is not required to be bonded through a separate process, and a stiffener and a ground layer can be formed through the same process with which a wiring layer and a grounding layer are formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# 拒絶理由通知書

特許出願の番号	特願2000-556398
起案日	平成14年10月29日
特許庁審査官	酒井 英夫 9631 4R00
特許出願人代理人	大島 陽一 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

## 理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

(1) 請求項1-9, 11-15及び17-34に係る発明について

・引用文献：1-4

引用文献1には、リードの表面が半導体チップとワイヤボンディングされ、リード及びダイパッドの裏面がパッケージ裏面から露出するように前記チップ、ボンディングワイヤ、及びリードを樹脂封止した半導体装置が記載されている（特に、図2及び3を参照）。

一方、リードやダイパッドの側面に突出部や凹部等（本願の「出入り部」に相当）を設けることによって封止樹脂とリードの密着性を向上させる技術が引用文献2-4に示されている。引用文献1に記載の発明においても樹脂とリードとの密着性の向上は当然に考慮されるべき課題であるのだから、引用文献1に記載の発明に対し、引用文献2-4等々に示された如くの技術を付加することは、当業者であれば容易に想到し得るものである。

(2) 請求項10及び16に係る発明について

・引用文献：1, 5, 6

リードやダイパッドにギザギザした部分を設けることによって封止樹脂とリー

ドの密着性を向上させることは、本願出願前の周知技術にすぎない（必要ならば、引用文献5及び6等を参照）。

(3) 請求項35及び36に係る発明について

・引用文献：1－6

リードフレームの製法として、エッチングやスタンピングは本願出願前より慣用的に行われているものにすぎない。

# 引用文献等一覧

1. 特開平05-129473号公報
2. 特開昭60-195957号公報
3. 特開平06-140563号公報
4. 特開平01-251747号公報
5. 特開平10-163401号公報
6. 特開昭63-067762号公報

## 先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L 23/12, 23/28,  
H01L 23/50

・先行技術文献 特開平10-012773号公報  
特開昭63-054759号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書についてのお問い合わせ先

特許審査第三部 電子素材加工 審査官 酒井 英夫

電 話 03-3581-1101 (内線3424)

FAX 03-3580-6905

Mailing date: November 5, 2002

**Office Action**  
(Notification of Reasons for Refusal)

Patent Application Number: 2000-556398  
Applied Patent Law Section: 29(2)

This patent application shall be rejected for the reasons below. The applicant has opportunity to submit an argument for this office action within three months from this notification has been sent.

Detailed Action

*Claim Rejections - Patent Law Section 29(2)*

The inventions as claimed in Claims 1-36 could easily have been made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of the inventions that were described in publications distributed in Japan or elsewhere prior to the filing of the patent application. Patents shall not be granted for such inventions under Patent Law Section 29(2).

(1) Claims 1-9, 11-15 and 17-34 are rejected under Patent Law Section 29(2) as being anticipated over Fukazawa '473, Tanigawa '957, Tsuji '563, and Nakazawa '747.

Fukazawa shows a semiconductor device in which a semiconductor chip, bonding wires and leads are resin sealed where the lead surface is wire bonded with the chip and the backside of a die pad and leads are exposed through the backside of a package. (Esp. see Figs.2 and 3.)

Tanigawa, Tsuji, and Nakazawa show the techniques to enhance adherence between a sealing resin and a lead by employing recessed and/or protruding parts on the side surface of leads and die pads, which are equivalent to the "reentrance portion" of this invention.

It should also be considered in Fukazawa to improve adherence between a sealing resin and a lead. Therefore it would have been obvious to combine the

teachings of Fukazawa and Tanigawa/Tsuji/Nakazawa, the combination producing nothing beyond what are plainly suggested by the references.

(2) Claims 10 and 16 are rejected under Patent Law Section 29(2) as being anticipated over Fukazawa, Murayama '401 and Hamano '762.

To improve adherence between a sealing resin and a lead by employing irregularities on leads and/or die pads is already well known in the art.

(3) Claims 35 and 36 are rejected under Patent Law Section 29(2) as being anticipated over the following 6 cited publications.

Etching and stamping were commonly used in manufacturing leading frames before this application was filed.

#### Cited Publication

1. Fukazawa Hiroyuki - JP Patent Office Gazette H5-129473
2. Tanigawa Takahiro, et al. - JP Patent Office Gazette S60-195957 ✓
3. Tsuji Masahiro - JP Patent Office Gazette H6-140563
4. Nakazawa Tsutomu, et al. - JP Patent Office Gazette H1-251747
5. Murayama Toshihiro - JP Patent Office Gazette H10-163401
6. Hamano Seiji - JP Patent Office Gazette S63-067762

#### Records of the Prior Art Search Result

Patent classification:   IPC 7<sup>th</sup> ed.       H01L 23/12, 23/28  
  H01L 23/50

Prior Art:               JP Patent Office Gazette H10-012773  
                                  JP Patent Office Gazette S63-054759

The records of the prior art search result do not constitute the reasons for refusal.

## **Abstract of Japanese Patent Office Gazette**

No. H5-129473

### **RESIN-SEALED SURFACE-MOUNTING SEMICONDUCTOR DEVICE**

**Inventor:** Fukazawa Hiroyuki

**Applicant:** Sony Corp.

**Filed:** Nov. 6, 1991

**Disclosed:** May 25, 1993

**PURPOSE:** To reduce the size and thickness of the title semiconductor device while a mechanism which prevents the deformation of external electrodes or fluctuation of the electrodes at the machining time is secured by using the rear sections of inner leads connected to internal wiring as external electrodes at the time of directly mounting the semiconductor device.

**CONSTITUTION:** A semiconductor chip 1 is placed on the die pad 2 of a lead frame. After electrically connecting the chip 1 to inner leads 6, the rear of which become external electrodes 8, through bonding wires 3, the upper part is sealed with a resin. Similarly, the chip 1 is electrically connected to the leads through bumps 4. In other words, the rear of the electrically connected inner leads 6 are used as the electrical connecting sections 8 of the semiconductor device to the outside. Therefore, the size of the semiconductor device can be reduced to nearly the same size as that of the chip 1. In addition, the thickness of the semiconductor device can also be reduced.

**EMBODIMENT:** As shown in Fig.2A a semiconductor chip 1 placed on a 0.1-0.3mm thick lead flame die pad 2 is electrically connected with an inner lead 6 by bonding wire 3 by using a lead frame. The inner lead 6 has an outer electrode 8 on its rear. Then the structure is sealed with sealing material such as epoxy resin. A rear resin portion is cut into the structure as shown in Fig.2B. Plating such as soldering is performed on an exposed part of the outer electrode 8. (See Fig.2C.) After extra portions of an outer lead 7 are trimmed by such as metal mold, the structure as shown in Fig.2D is obtained. Alternatively, the same procedure except that resin sealing is performed with a metal mold having cavity on its upper part only results in the structure as shown in Fig.3A. After the plating 9 and the outer lead 7 are trimmed, the structure as shown in Fig.3B is obtained. The second procedure may need the pretreatment, i.e. trimming of the extra portions by high-pressure water, but may not need to cut the hard sealing resin as the first procedure requires.

## 拒絶理由通知書

特許出願の番号	特願2000-556398		
起案日	平成14年10月29日		
特許庁審査官	酒井 英夫	9631	4R00
特許出願人代理人	大島 陽一 様		
適用条文	第29条第2項		

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

### 理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

### 記 (引用文献等については引用文献等一覧参照)

(1) 請求項1-9, 11-15及び17-34に係る発明について

・引用文献：1-4

引用文献1には、リードの表面が半導体チップとワイヤボンディングされ、リード及びダイパッドの裏面がパッケージ裏面から露出するように前記チップ、ボンディングワイヤ、及びリードを樹脂封止した半導体装置が記載されている（特に、図2及び3を参照）。

一方、リードやダイパッドの側面に突出部や凹部等（本願の「出入り部」に相当）を設けることによって封止樹脂とリードの密着性を向上させる技術が引用文献2-4に示されている。引用文献1に記載の発明においても樹脂とリードとの密着性の向上は当然に考慮されるべき課題であるのだから、引用文献1に記載の発明に対し、引用文献2-4等々に示された如くの技術を付加することは、当業者であれば容易に想到し得るものである。

(2) 請求項10及び16に係る発明について

・引用文献：1, 5, 6

リードやダイパッドにギザギザした部分を設けることによって封止樹脂とリー



ドの密着性を向上させることは、本願出願前の周知技術にすぎない（必要ならば、引用文献5及び6等を参照）。

(3) 請求項35及び36に係る発明について

・引用文献：1－6

リードフレームの製法として、エッチングやスタンピングは本願出願前より慣用的に行われているものにすぎない。

# 引用文献等一覧

1. 特開平05-129473号公報
2. 特開昭60-195957号公報
3. 特開平06-140563号公報
4. 特開平01-251747号公報
5. 特開平10-163401号公報
6. 特開昭63-067762号公報

## 先行技術文献調査結果の記録

- ・調査した分野     IPC第7版   H01L 23/12, 23/28,  
  H01L 23/50
- ・先行技術文献     特開平10-012773号公報  
  特開昭63-054759号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書についてのお問い合わせ先

特許審査第三部 電子素材加工 審査官 酒井 英夫

電 話 03-3581-1101 (内線3424)

FAX 03-3580-6905